

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-153030

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/14			G 0 6 F 15/332	A
H 0 4 N 1/41			H 0 4 N 1/41	B
7/30			7/133	Z

審査請求 未請求 請求項の数3 O L (全 12 頁)

(21) 出願番号 特願平7-311977

(22) 出願日 平成7年(1995)11月30日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 湖本 英治

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

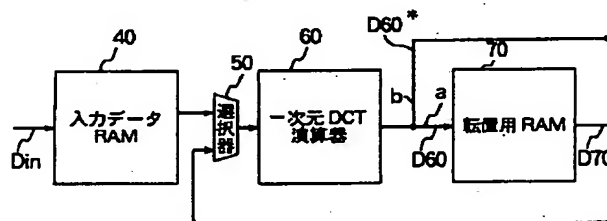
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 二次元離散コサイン変換回路

(57) 【要約】

【課題】 小さい構成面積の二次元DCT(離散コサイン変換)回路を実現する。

【解決手段】 入力データD<sub>in</sub>は入力データRAM40で格納され、選択器50の選択により、一次元目のDCT演算に必要なデータが一次元DCT演算器60に与えられる。DCT演算器60は内部に有した入力レジスタに記憶したデータを用いて一次元目のDCT演算を行い、結果のデータD<sub>60</sub>を転置用RAM70に書込む。二次元目のDCT演算を行う場合、転置用RAM70から転置されて読出されたデータD<sub>70</sub>が、選択器50の選択により、一次元DCT演算器60に与えられる。一次元DCT演算器60はこのとき与えられたデータを用いて二次元目のDCT演算を行い、最終的な演算結果D<sub>60</sub><sup>\*</sup>が得られる。



本発明の第1の実施形態の二次元DCT回路

## 【特許請求の範囲】

【請求項1】 順次入力される入力データ列に対して一次元目の一次元離散コサイン変換演算を行い、該一次元目の離散コサイン変換演算結果に対して二次元目の一次元離散コサイン変換演算を行い、該各入力データ列に対する二次元離散コサイン変換をそれぞれ施す二次元離散コサイン変換回路において、

順次入力される入力データを格納する入力データメモリと、

与えられた複数のデータを一時的に保持する入力レジスタを有し、該入力レジスタに保持した複数のデータを用いて前記一次元離散コサイン変換演算を行う一次元離散コサイン変換演算器と、

前記一次元離散コサイン変換演算の結果を格納する転置用メモリと、

前記入力データメモリの出力データまたは前記転置用メモリの出力データを選択して前記入力レジスタに転送する選択手段とを備え、

前記一次元離散コサイン変換演算器は、前記選択手段を介して前記入力レジスタに与えられた前記入力データメモリからの複数の前記入力データを用いて前記一次元目の一次元離散コサイン変換演算を行い、その演算結果を前記転置用メモリに与え、前記選択手段を介して前記入力レジスタに与えられた前記転置用メモリから転置されて読出された複数のデータを用いて前記二次元目の一次元離散コサイン変換演算を行う構成にしたことを特徴とする二次元離散コサイン変換回路。

【請求項2】 順次入力される入力データ列に対して一次元目の離散コサイン変換演算を行い、該一次元目の離散コサイン変換演算結果に対して二次元目の離散コサイン変換演算を行い、該各入力データ列に対する二次元離散コサイン変換をそれぞれ施す二次元離散コサイン変換回路において、

与えられた複数のデータを一時的に保持する入力レジスタを有し、該入力レジスタに保持した複数のデータを用いて前記一次元離散コサイン変換演算を行う一次元離散コサイン変換演算器と、

第1の期間に出力される前記一次元離散コサイン変換演算器の出力データを記憶する第1の転置用メモリと、

前記第1の期間とは異なる第2の期間に出力される前記一次元離散コサイン変換演算器の出力データを記憶する第2の転置用メモリと、

前記第1の転置用メモリから転置して読出されたデータまたは前記第2の転置用メモリから転置して読出されたデータを選択して出力する第1の選択手段と、

前記入力データまたは前記第1の選択手段の出力データを選択して前記一次元離散コサイン変換演算器中の入力レジスタに転送する第2の選択手段とを備え、

前記一次元離散コサイン変換演算器は、前記第2の選択手段を介して前記入力レジスタに与えられた複数の前記

入力データを用いて前記一次元目の一次元離散コサイン変換演算を行い、該一次元目の離散コサイン変換演算結果を前記第1または第2の転置用メモリに与え、前記第2の選択手段を介して該入力レジスタに与えられた前記第1の選択手段の複数の出力データを用いて前記二次元目の一次元離散コサイン変換演算を行う構成にしたことを特徴とする二次元離散コサイン変換回路。

【請求項3】 順次入力される入力データ列に対して一次元目の離散コサイン変換演算を行い、該一次元目の離散コサイン変換演算結果に対して二次元目の離散コサイン変換演算を行い、該各入力データ列に対する二次元離散コサイン変換をそれぞれ施す二次元離散コサイン変換回路において、

複数の前記入力データを一時的に保持する一次元入力レジスタと、

前記一次元入力レジスタから転送された複数の前記入力データを一時的に記憶する一次元演算レジスタと、

前記一次元離散コサイン変換演算を行うために累積演算を行う2入力の演算器と、

前記演算器の累積演算結果を一時的に記憶する一次元アキュムレータと、

前記演算器の累積演算結果のうち前記一次元アキュムレータとは異なる累積演算結果を一時的に記憶する二次元アキュムレータと、

前記一次元アキュムレータまたは前記二次元アキュムレータの出力データを選択して前記演算器の一方の入力端子に転送する第1の選択手段と、

前記一次元アキュムレータの出力データを一時的に保持する一次元出力レジスタと、

前記二次元アキュムレータの出力データを一時的に保持する二次元出力レジスタと、

前記一次元出力レジスタの出力データを前記一次元目の離散コサイン変換演算結果として記憶する転置用メモリと、

前記転置用メモリから転置して読出された複数の一次元目の離散コサイン変換演算結果のデータを一時的に保持する二次元入力レジスタと、

前記二次元入力レジスタから転送された複数の一次元目の離散コサイン変換演算結果のデータを一時的に記憶する二次元演算レジスタと、

前記一次元演算レジスタの出力データまたは前記二次元演算レジスタの出力データを選択して、前記演算器の他方の入力端子に転送する第2の選択手段とを備え、

前記演算器は、一次元演算レジスタまたは二次元演算レジスタから与えられたデータと前記第1の選択手段から与えられたデータを用いた前記累積演算を繰り返すことで、前記一次元目の一次元離散コサイン変換演算と前記二次元目の一次元離散コサイン変換演算を行う構成にしたことを特徴とする二次元離散コサイン変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像符号化／復号化のアルゴリズムに用いられる二次元離散コサイン変換（以下、DCTという）回路に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば次のような文献に記載されるものがあった。

文献：電子情報通信学会論文集【ICD91-109】（1991）井上他、

“100MHz 2次元DCTコアLSI”

図2は、従来の二次元DCT回路を示す回路図である。二次元DCT回路は、一次元目の一次元DCT演算（以下、単にDCT演算という）を行う一次元DCT演算器10と、一次元DCT演算器10の出力データD10を格納する転置用RAM（ランダムアクセスメモリ）20と、転置用RAM20の出力データD20に対して二次元目のDCT演算を行う二次元DCT演算器30とを備えている。入力データDinが一次元DCT演算器10に入力され、一次元DCT演算器30から二次元DCTされた出力データD30<sup>\*</sup>が出力される構成である。一次元DCT演算器10により、入力データDinに対する一次元目のDCT演算が行われ、演算の結果、変換されたデータD10が転置用RAM20に順に与えられる。転置用RAM20はそのデータD10を格納する。格納したデータD10の個数が、二次元目のDCT演算を実行する一次元DCT演算器30に供給できる個数になると、それらが入力順とは異なる転置された順で転置用RAM20からデータD20として読出され、一次元DCT演算器30に供給される。一次元DCT演算器30はD20に対するDCT演算を行い、出力データD30<sup>\*</sup>を順に出力する。即ち、2個の一次元DCT演算器10、30が、それぞれ一次元のDCT演算を行うことで、二次元DCT演算が完結する。

【0003】図3は、図2中の一次元DCT演算器を示す回路図である。一次元DCT演算器10は、入力レジスタ11を有している。入力レジスタ11の出力側は演算入力レジスタ12に接続され、この演算入力レジスタ12の出力側が、演算器13の入力側に接続されている。演算器13の出力側は、アキュムレータ14に接続されている。アキュムレータ14の出力側は、演算器13の入力側に接続されると共に、出力レジスタ15に接続されている。一次元DCT演算器30も、同様の構成である。各一次元DCT演算器10または30に入力されたデータDinまたはD10は、入力レジスタ11に順次記憶される。入力レジスタ11の記憶データの個数が、ある一定の数の例えば8個になると、それら記憶されたデータは、演算入力レジスタ12に転送される。演算入力レジスタ12は、転送された8個のデータを記憶する。演算入力レジスタ12の記憶データは、一定回数の例えば8回の演算処理が終了するまで有効となつて

いる。演算入力レジスタ12の出力するデータは、演算中、継続的に演算器13に入力され、その間、演算器13は積和演算を行う。積和演算の結果、つまり演算器13の出力データは、アキュムレータ14に一時的に記憶され、アキュムレータ14の出力データは、演算期間中、演算入力レジスタ12の出力データと同様、演算器13の入力側に常に入力され、それが積和演算の項になる。演算が終了すると、最終結果がアキュムレータ14に記憶されていることになるので、そのアキュムレータ14の出力データは、出力レジスタ15に一次的に保持され、さらにデータD10またはD30<sup>\*</sup>として外部へ出力される。即ち、パイプライン方式でデータが順次演算されていくのである。

【0004】

【発明が解決しようとする課題】しかしながら、従来の二次元DCT回路では、次のような課題があった。積和演算を行う各一次元DCT演算器10、30の回路規模は大きい。そのため、これを2つ個別に配置した二次元DCT回路では、全体の回路規模が大きくなると共に、消費電力も大きくなる。

【0005】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、順次入力される入力データ列に対して一次元目のDCT演算を行い、該一次元目のDCT演算結果に対して二次元目のDCT演算を行い、該各入力データ列に対する二次元DCTをそれぞれ施す二次元DCT回路において、次のような構成にしている。即ち、この第1の発明の二次元DCT回路は、順次入力される入力データを格納する入力データメモリと、与えられた複数のデータを一時的に保持する入力レジスタを有し、該入力レジスタに保持した複数のデータを用いて前記DCT演算を行う一次元DCT演算器と、前記DCT演算の結果を格納する転置用メモリと、前記入力データメモリの出力データまたは前記転置用メモリの出力データを選択して前記入力レジスタに転送する選択手段とを備えている。そして、前記一次元DCT演算器は、前記選択手段を介して前記入力レジスタに与えられた前記入力データメモリからの複数の前記入力データを用いて前記一次元目のDCT演算を行い、その演算結果を前記転置用メモリに与え、前記選択手段を介して前記入力レジスタに与えられた前記転置用メモリから転置されて読出された複数のデータを用いて前記二次元目のDCT演算を行う構成にしている。

【0006】第2の発明は、順次入力される入力データ列に対して一次元目のDCT演算を行い、該一次元目のDCT演算結果に対して二次元目のDCT演算を行い、該各入力データ列に対する二次元DCTをそれぞれ施す二次元DCT回路において、次のような構成にしている。即ち、第2の発明の二次元DCT回路は、与えられた複数のデータを一時的に保持する入力レジスタを有

し、該入力レジスタに保持した複数のデータを用いて前記DCT演算を行う一次元DCT演算器と、第1の期間に出力される前記一次元DCT演算器の出力データを記憶する第1の転置用メモリと、前記第1の期間とは異なる第2の期間に出力される前記一次元DCT演算器の出力データを記憶する第2の転置用メモリと、前記第1の転置用メモリから転置して読出されたデータまたは前記第2の転置用メモリから転置して読出されたデータを選択して出力する第1の選択手段と、前記入力データまたは前記第1の選択手段の出力データを選択して前記一次元DCT演算器中の入力レジスタに転送する第2の選択手段とを備えている。そして、前記一次元DCT演算器は、前記第2の選択手段を介して前記入力レジスタに与えられた複数の前記入力データを用いて前記一次元目のDCT演算を行い、該一次元目のDCT演算結果を前記第1または第2の転置用メモリに与え、前記第2の選択手段を介して該入力レジスタに与えられた前記第1の選択手段の複数の出力データを用いて前記二次元目のDCT演算を行う構成にしている。第3の発明は、順次入力される入力データ列に対して一次元目のDCT演算を行い、該一次元目のDCT演算結果に対して二次元目のDCT演算を行い、該各入力データ列に対する二次元DCTをそれぞれ施す二次元DCT回路において、次のような構成にしている。

【0007】即ち、第3の発明の二次元DCT回路は、複数の前記入力データを一時的に保持する一次元入力レジスタと、前記一次元入力レジスタから転送された複数の前記入力データを一時的に記憶する一次元演算レジスタと、前記DCT演算を行うために累積演算を行う2入力の演算器と、前記演算器の累積演算結果を一時的に記憶する一次元アキュムレータと、前記演算器の累積演算結果のうち前記一次元アキュムレータとは異なる累積演算結果を一時的に記憶する二次元アキュムレータと、前記一次元アキュムレータまたは前記二次元アキュムレータの出力データを選択して前記演算器の一方の入力端子に転送する第1の選択手段と、前記一次元アキュムレータの出力データを一時的に保持する一次元出力レジスタと、前記二次元アキュムレータの出力データを一時的に保持する二次元出力レジスタと、前記一次元出力レジスタの出力データを前記一次元目のDCT演算結果として記憶する転置用メモリと、前記転置用メモリから転置して読出された複数の一次元目のDCT演算結果のデータを一時的に保持する二次元入力レジスタと、前記二次元入力レジスタから転送された複数の一次元目のDCT演算結果のデータを一時的に記憶する二次元演算レジスタと、前記一次元演算レジスタの出力データまたは前記二次元演算レジスタの出力データを選択して、前記演算器の他方の入力端子に転送する第2の選択手段とを備えている。そして、前記演算器は、一次元演算レジスタまたは二次元演算レジスタから与えられたデ

ータと前記第1の選択手段から与えられたデータを用いた前記累積演算を繰り返すことで、前記一次元目のDCT演算と前記二次元目のDCT演算を行う構成としている。

【0008】第1の発明によれば、以上のように二次元DCT回路を構成したので、順次入力される入力データは入力データメモリに格納される。一次元目のDCT演算を行う場合、その入力データメモリに格納されたデータのうち必要量のデータが、選択手段の選択により、入力レジスタに与えられる。一次元DCT演算器が、入力レジスタに記憶された複数のデータを用いて一次元目のDCT演算を行う。この一次元目の演算結果は転置用メモリに順に格納される。二次元目のDCT演算を行う場合、転置用メモリの記憶したデータが転置して読出され、この読出されたデータが、選択手段の選択により、入力レジスタに与えられる。そして、一次元DCT演算器は、入力レジスタに記憶された複数のデータを用いて二次元目のDCT演算を行う。その結果、入力データ列に対する二次元DCTが施される。第2の発明によれば、一次元目のDCT演算を行うとき、第2の選択手段の選択によって、複数の入力データが入力レジスタに与えられて保持される。入力レジスタに保持した複数のデータを用いて一次元DCT演算器が一次元目のDCT演算を行う。一次元DCT演算器の出力データは、第1または第2の転置用メモリに書込まれて記憶される。第1または第2の転置用メモリに記憶される一次元目のDCT演算結果は、例えば入力データ列毎に交互に書込まれる。第1の転置用メモリから転置して読出されたデータまたは第2の転置用メモリから転置して読出されたデータは、第1の選択手段によって選択され、第2の選択手段に転送される。二次元目のDCT演算を行とき、第2の選択手段が第1の選択手段の出力データを選択するので、第1の転置用メモリから転置して読出されたデータまたは第2の転置用メモリから転置して読出されたデータが、入力レジスタに与えられて保持される。入力レジスタに保持した複数のデータを用いて一次元DCT演算器が二次元目のDCT演算を行う。その結果、入力データ列に対する二次元DCTが施される。

【0009】第3の発明によれば、複数の入力データは一時的に一次元入力レジスタに保持される。それが適当数たまったときに一次元演算レジスタに転送され、一時的に記憶される。一方、二次元入力レジスタには転置用メモリから一次元目のDCT演算結果のデータが与えられることになり、それが適当数たまったときに二次元演算レジスタに転送され、一時的に記憶される。第2の選択手段は、一次元演算レジスタまたは二次元演算レジスタの出力データを例えば交互に選択して演算器に与える。演算器は、一次元目と二次元目のDCT演算を行うため、一次元演算レジスタまたは二次元演算レジスタから与えられたデータと第1の選択手段から与えられたデ

ータを用いた累積演算を繰り返し行う。第1の選択手段は、演算器の出力データを記憶する一次元アキュムレータの出力データと二次元アキュムレータの出力データとを交互に選択して演算器に転送する。つまり、一次元目のDCT演算のための累積演算を行う場合、一次元演算レジスタから与えられたデータと第1の選択手段から与えられた一次元アキュムレータの出力データの累積演算が行われ、二次元目のDCT演算のための累積演算を行う場合、二次元演算レジスタから与えられたデータと第1の選択手段から与えられた二次元アキュムレータの出力データの累積演算が行われる。演算器の出力データは一次元アキュムレータと二次元アキュムレータに対して交互に与えられる。累積演算が繰り返されることにより、一次元アキュムレータ上には、一次元目のDCT演算結果が生成されるので、それが一次元出力レジスタを介して転置用メモリに格納される。二次元アキュムレータ上には、二次元目のDCT演算結果が生成されるので、それが二次元出力レジスタを介して外部に出力される。従って、前記課題を解決できるのである。

【0010】

【発明の実施の形態】

#### 第1の実施形態

図1は、本発明の第1の実施形態を示す二次元DCT回路の回路図である。この二次元DCT回路は、順次入力される入力データDinを格納する入力データRAM40を備えている。入力データRAM40の出力側は、選択手段である2入力の選択器50の一方の入力端子に接続され、この選択器50の出力側に一次元DCT演算器60が接続されている。一次元DCT演算器60の出力側には、転置用RAM70にいくルートaと外部に二次元DCT結果を出力するためのルートbとが形成されている。転置用RAM70の出力側が、選択器50の他方の入力端子に接続されている。即ち、選択器50は、入力RAM40の出力データまたは転置用RAM70の出力データを選択出力する構成である。図4は、図1中の一次元DCT演算器を示す回路図である。一次元DCT演算器60は、従来の一次元DCT演算器10、30と同様の構成であり、入力レジスタ61を有している。入力レジスタ61の出力側は演算入力レジスタ62に接続され、この演算入力レジスタ62の出力側が、演算器63の入力側に接続されている。演算器63の出力側は、アキュムレータ64に接続されている。アキュムレータ64の出力側は、演算器63の入力側に接続されると共に、出力レジスタ65に接続されている。次に、図1の二次元DCT演算回路の動作を説明する。

【0011】順次入力される入力データDinは、入力データRAM40に書込まれて記憶される。後段の各部で一次元DCT演算を行うのに十分な個数の入力データDinが記憶されると、記憶されたデータDinは、書き込み

順と同じ順に読出されて選択器50に与えられる。このとき、選択器50の選択出力するデータは、入力データRAM40の出力データであり、入力データDinが選択器50を介して一次元RAM60に転送される。一次元RAM60では、入力データDinを入力レジスタ61に一時的に保持し、従来と同様に一次元DCT演算を行う。その間、入力データRAM40には、次の一次元DCT演算を行なうための入力データDinが、順に書込まれていく。この段階で一次元DCT演算器60の順次出力するデータD60は一次元目のDCT演算の結果であるので、データD60がルートaを介して転置用RAM70に転送されて書込まれる。二次元目のDCT演算を行なうために必要な個数のデータが転置用RAM70に書込まれると、それらがデータD70として読出される。データD70は、書込まれたデータD60を転置して読出したものである。転置用RAM70から読出されたデータD70は、順次選択器50へ出力される。このとき選択器50は、転置用RAM70の出力データD70を選択出力するように設定される。そのため、選択器50の出力データは、転置用RAM70から読出されたデータD70であり、一次元目のDCT演算の結果が一次元DCT演算器60中の入力レジスタ61に入力されることになる。そして、一次元DCT演算器60は、入力レジスタ61の保持するデータを用いて、二次元目のDCT演算を行う。二次元目のDCT演算結果のデータD60\*が、一次元DCT演算器60から出力され、データD60\*がルートbを介して二次元DCT演算回路の外部へ出力される。即ち、入力データDinは、入力データRAM40から一次元DCT演算器60に与えられ、一次元DCT演算器60が一次元目のDCT演算を行った結果のデータD60が転置用RAM70を介して再び一次元DCT演算器60に与えられ、一次元DCT演算器60で二次元目のDCT演算が行われる。二次元目のDCT演算結果のデータD60\*が外部に出力される。

【0012】図5は、図1のバイブライン動作を説明する図である。この図5において、記号“In”は、一次元DCT演算器60中の入力レジスタ61への8個の入力データDinの転送を意味している。記号“Ex”は、8個の入力データDinが一次元DCT演算器60によって演算され、その結果が転置用RAM70に書き込み終わるまでのシーケンスを意味している。本実施形態の二次元DCT回路は、バイブライン方式で動作するので、二次元DCT演算を実行するひとまとまりのデータ列に対して二次元DCT演算を実行している間に、入力データRAM40に次のひとまとまりのデータ列が記憶されるように制御すると、最も効率よく二次元DCT演算を行うことができる。入力データDinの1番目のデータ列は、例えば64個のデータで構成されている。図1の二次元DCT回路は、それを8回に別けて、8個ずつ演算

を行なう。図5に示すように、一次元DCT演算器60中の入力レジスタ61へのデータ転送は、一つ前の8個のデータが演算されている期間に行われて完了する。これを連続的に実行することで、パイプライン処理を実現できる。以上のように、この第1の実施形態では、入力データRAM40と選択器50を備え、一次元DCT演算器60に一次元目のDCT演算と二次元目のDCT演算の両方を行わせる構成にしているため、二次元DCT回路で、最も大規模であるDCT演算器を1個にすることができ、二次元DCT回路の構成面積を小さくできると共に、消費電力を少なくできる。また、二次元DCT回路に対する制御も単純であり、既存のハードウェアの組合せで実現できるので、設計も容易である。

#### 【0013】第2の実施形態

図6は、本発明の第2の実施形態を示す二次元DCT回路の回路図である。この二次元DCT回路は、入力データDinを一方の入力端子から入力する2入力の選択器80と、選択器80の出力側に接続された一次元DCT演算器90を備えている。一次元DCT演算器90の内部構造は、第1の実施形態の一次元DCT演算器60と同じである。一次元DCT演算器90の出力側には、該一次元DCT演算器90の出力データを第1の転置用RAM100-1に入力するルートcと、第2の転置用RAM100-2に入力するルートdと、外部に出力するルートeとが形成されている。転置用RAM100-1の出力側と、転置用RAM100-2の出力側は、2入力選択器110の2つの入力端子にそれぞれ接続されている。選択器110の出力側が、選択器80の他方の入力端子に接続されている。つまり、選択器110は、2個の転置用RAM100-1、100-2の出力データを選択出力する第1の選択手段を構成する。選択器80は、入力データまたは選択器110の出力するデータを選択して、一次元DCT演算器90内の入力レジスタ61に与える第2の選択手段を構成している。図7は、図6の二次元DCT回路におけるパイプライン処理を説明する図であり、この図7を参照しつつ、図6の二次元DCT回路の動作を説明する。

【0014】図7において、記号“In”は、一次元DCT演算器90中の入力レジスタ61への例えば8個の入力データDinの転送を意味している。記号“Ex”は、8個の入力データDinが一次元DCT演算器90によって演算され、その結果が転置用RAM100-1または100-2に書き込み終わるまでのシーケンスを意味している。入力データDinの入力が開始されると、入力データDinは、選択器80を介して一次元DCT演算器90中の入力レジスタ61に順次与えられる。入力レジスタ61は与えられた8個の入力データを一時的に保存し、一次元DCT演算器90は、その8個のデータに対して一次元目のDCT演算を行なう。図6の二次元D

CT回路においても、例えば64個の入力データ列を8個ずつ8回に分けてDCT演算を行なう。このように、従来或いは第1の実施形態と同様の動作で、まず1番目の入力データ列について、一次元目のDCT演算を行なう。1番目の入力データ列についての一次元DCT演算器90の出力データD90-1は、ルートcを介して転置用RAM100-1に順次書込まれる。1番目の入力データ列に対する演算が終了すると、一次元DCT演算器90は、2番目の入力データ列についてのDCT演算を行う。転置用RAM100-1は、出力データD90-1を記憶しているので、2番目の入力データ列に対する一次元DCT演算器90の出力データD90-2は、ルートdを介して転置用RAM100-2に順次書込まれて記憶される。2番目の入力データ列に対する一次元目のDCT演算が終了した段階で、転置用RAM100-1に格納されている一次元目のDCT演算結果のデータD90-1が転置されて読出され、二次元目のDCT演算の入力データとして選択器110で選択されて、選択器80に与えられる。選択器80は、その選択器110からのデータを選択し、それを一次元DCT演算器90中の入力レジスタ61に転送する。

【0015】一次元DCT演算器90は、入力レジスタに保持された一次元目のDCT演算結果に対して二次元目のDCT演算を行い、二次元目のDCT演算結果のデータD90\*を最終的な出力データとしてルートeを介して出力する。これにより、1番目の入力データ列に対する二次元DCT演算が終了する。これ以降も同様なパイプラインシーケンスを用いることで、一次元DCT演算器90を効率的に活用して順次二次元DCT演算結果データD90\*を出力する。この二次元DCT回路では、1番目の入力データ列に対して一次元目のDCT演算を行った後、間を開けずに2番目の入力データ列の一次元目のDCT演算を開始する。1番目の入力データ列に対する二次元目のDCT演算は、2番目の入力データ列の一次元目のDCT演算が終了した後に実行される。即ち、次の(1)から(6)に示す手順で演算が行われる。

【0016】(1) 1番目の入力データ列に対する一次元目のDCT演算を行い、結果を転置用RAM100-1に書込む。

(2) 2番目の入力データ列に対する一次元目のDCT演算を行い、結果を転置用RAM100-2に書込む。

(3) 転置用RAM100-1に書込まれたデータを用いて、1番目の入力データ列に対する二次元目のDCT演算を行い、その結果を外部に出力する。転置用RAM100-1は空になる(書込まれているデータは不要になる)。

(4) 3番目の入力データ列に対する一次元目のDCT演算を行い、結果を転置用RAM100-1に書込む(不要となったデータ上に上書きする)。

10

20

30

40

50



(5) 転置用RAM100-2に書込まれたデータを用いて、2番目の入力データ列に対する二次元目のDCT演算を行い、その結果を外部に出力する。転置用RAM100-2は、空になる。

(6) (2)～(5)を繰り返す。よって、一次元DCT演算器90は、待ち状態になることがなく、常に演算を実行できるので、図5のように、パイプラインを乱すことがない。

【0017】以上のように、この第2の実施形態では、選択器80と二つの転置用RAM100-1、100-2と選択器90とを備え、一次元DCT演算器90に一次元目のDCT演算と二次元目のDCT演算の両方を行わせる構成にしているので、二次元DCT回路で最も大規模であるDCT演算器を1個にすることができ、二次元DCT回路の構成面積を小さくできると共に、消費電力を少なくできる。また、第1の実施形態に比べてデータ演算の順序がやや複雑化するが、パイプラインを乱すことなく、DCT演算器を効率的に動作させることが可能となり、処理が高速になる。さらに、既存のハードウェアの組合せで実現できるので、設計も容易である。

#### 【0018】第3の実施形態

図8は、本発明の第3の実施形態を示す二次元DCT回路の回路図である。この二次元DCT回路は、一次元DCT演算器120と、転置用RAM140とで構成されている。一次元DCT演算器120は、順次入力する入力データDinを一時的に保持する一次元入力レジスタ121を有している。一次元入力レジスタの出力側には、一次元演算レジスタ122が接続され、該一次元演算レジスタ122の出力側は、第2の選択手段である2入力選択器123の一方の入力端子に接続されている。選択器123の出力側は演算器124に接続されている。演算器124の出力側は、一次元アキュムレータ125と二次元アキュムレータ126の入力端子にそれぞれ接続されている。各アキュムレータ125、126の出力側は、一次元出力レジスタ127と二次元出力レジスタ128にそれぞれ接続されると共に、第1の選択手段である2入力選択器129の各入力端子にそれぞれ接続されている。選択器129の出力側は、演算器124のもう一方の入力端子に接続されている。一次元出力レジスタ127の出力側は、転置用RAM140に接続されている。二次元出力レジスタ128の出力側から、最終的な二次元DCT演算結果が外部へ出力されるようになっている。

【0019】一次元DCT演算器120には、さらに、二次元入力レジスタ130が設けられている。二次元入力レジスタ130には、転置用RAM140から出力されたデータが入力される構成であり、該二次元入力レジスタ130の出力側は、二次元演算レジスタ131が接続されている。二次元演算レジスタ131の出力側が、選択器123の他方の入力端子に接続されている。図9

は、図8の二次元DCT回路の動作を説明する図であり、この図を参照しつつ、図8の動作を説明する。入力データDinは、一次元DCT演算器120中の一次元入力レジスタ121に順次入力され、該一次元入力レジスタ121は、それらを保持する(図9のS1)。一次元入力レジスタ121の保持するデータが一定の個数の例えば8個に達すると、それらがひとまとまりとして、一次元演算レジスタ122に転送される(図9のS2)。一次元演算レジスタ122は、その転送された入力データDinを選択器123を介して演算器124に出力する。演算器124が与えられ入力データDinを用いて演算を行っている期間(図9のS3)に、新たな入力データDinが一次元入力レジスタ121に入力され、それが順次書込まれて記憶される(図9のS4)。即ち、パイプライン動作となる。

【0020】ここで、一次元演算レジスタ122に転送された8個の入力データDinが、例えば1番目の入力データ列のとき、選択器123は一次元演算レジスタ122の出力データを選択して演算器124に与える状態になっている。なぜなら、転置用RAM140、二次元入力レジスタ130、及び二次元演算レジスタ131には、未だ有効なデータを出力していないからである。このようにして、一次元演算レジスタ122の出力する8個の入力データDinが演算器124に与えられ、演算器124がそのデータを用いて一次元目のDCT演算を行うための累積演算を行う。この累積演算によって、順次一次元アキュムレータ125の内容が更新される。このときには二次元目の演算が行われていないので、選択器129は、一次元アキュムレータ125の出力データを選択し、それを演算器124の入力側に転送する。このように、演算器124と一次元アキュムレータ125が用いられることで、累積演算が成立する。複数の例えば8回だけ累積演算が行われた後の一次元アキュムレータ125には、一次元目のDCT演算結果が記憶されているので、一次元アキュムレータ125の出力データが一時的に一次元出力レジスタ127に記憶され(図9のS5)、さらに、それらが順次転置用RAM140に書込まれて記憶される(図9のS6)。転置用RAM140に記憶された一次元目のDCT演算結果のデータが、一定の個数(1番目の入力データ列の64個)になると(図9のS7)、転置用RAM140からは、二次元目のDCT演算に用いる入力データとして、記憶データが転置して読出され、二次元入力レジスタ130へ順次転送される(図9のS8)。二次元入力レジスタ130は転送されたデータを保持する。二次元入力レジスタ130に保持されたデータが、一定の個数の例えば8個になると、それらがひとまとまりとなって二次元演算レジスタ131に転送される(図9のS9)。二次元演算レジスタ131上のデータが演算器124に用いられている期間(図9のS10)、次の二次元目のDCT演算

用の入力データが、転置用RAM140から二次元入力レジスタ130に入力されて記憶される。前述の一次元入力レジスタ121と一次元演算レジスタ122の接続関係がパイプラインを実現するのと同様に、二次元入力レジスタ130と二次元演算レジスタ131の関係も、パイプラインを実現する接続関係である。このときには、選択器123は演算器124の処理の1サイクルごと、一次元演算レジスタ122の出力データと二次元演算レジスタ131の出力データを交互に選択して該演算器124に与える。一方、選択器129においても、選択器123と同じタイミングで、一次元アキュムレータ125の出力データと二次元アキュムレータ126の出力データを交互に選択し、それを演算器124の入力側に与える。つまり、選択器123が一次元演算レジスタ122の出力データを選択するとき、選択器129は一次元アキュムレータ125の出力データを選択する。選択器123が二次元演算レジスタ131の出力データを選択するとき、選択器129は二次元アキュムレータ126の出力データを選択する。これにより、演算器124は、1サイクルごとに一次元目のDCT演算と二次元目のDCT演算を交互に、実行することになる。

【0021】演算器124に入力されるデータが、一次元演算レジスタ122の出力データと一次元アキュムレータ125の出力データの場合、該演算器124の出力データは一次元出力レジスタ127に書込まれ、該一次元出力レジスタ127の内容が更新される。演算器124に入力されるデータが、二次元演算レジスタ131の出力データと二次元アキュムレータ126の出力データの場合、該演算器124の出力データは二次元アキュムレータ126に書込まれ、該二次元アキュムレータ126の内容が更新される。二次元演算レジスタ131の出力データと二次元アキュムレータ126の出力データが入力された場合の演算器124の累積演算が、複数回の例えば8回だけ行われた後、二次元アキュムレータ126には、二次元目のDCT演算結果、即ち最終の二次元DCT演算結果が記憶されていることになる。二次元アキュムレータ126の記憶しているデータが、二次元出力レジスタ128に転送された後、外部へ出力される。このようにして、1番目の入力データ列の二次元DCT演算が完了する。2番目以降の入力データ列に対する二次元DCT演算結果も同様であり、演算器124が一次元目の演算と二次元目の演算とを交互に行うことで、2番目以降の入力データ列に対する二次元DCT演算結果が、二次元出力レジスタ128から外部へ出力される。

【0022】本実施形態の特徴は、選択器123と選択器129とを一次元DCT演算器120に設け、該一次元DCT演算器120中の演算器124に、一次元目の累積演算と二次元目の累積演算をサイクルごとに交互に

実施することにある。もし、交互に累積演算を行わない場合、例えば、転置用RAM140に記憶されている一次元目のDCT演算結果のデータ群が十分になると、それらが二次元入力レジスタ130に順次転送されて二次元演算レジスタ131に渡される。そして、演算器124は二次元演算レジスタ131のデータを用いてひたすら二次元目のDCT演算を行う。二次元目のDCT演算を行っている期間において、入力データDinは一次元のDCT演算を施されるべく、一次元入力レジスタ121を介して一次元演算レジスタ122に転送される。ところが、選択器123は、常に、二次元演算レジスタ131の出力データを選択しているため、一次元入力レジスタ上の入力データは、出力を待つ状態になる。これを継続すると、演算器124が転置用RAM140の記憶しているすべてのデータに対する二次元目のDCT演算が終了するまで、入力データ列に対する一次元のDCT演算は実施されない。その結果、本来一定のレートで入力されるべき入力データDinの入力を待たすことになり、前段まで回路における処理をトップすることになる。また、その二次元目のDCT演算が終了した段階で、転置用RAM140の記憶するデータは無用のもの(空)となる。つまり、効率が悪く資源の無駄となる。

【0023】本実施形態のように、一次元目の累積演算と二次元目の累積演算を例えば1サイクルごとに交互に実施することにより、入力データDinを連続ではないにしても、あくまでも一定レートで入力させることができる。また、転置用RAM140において記憶したデータは、二次元目のDCT演算のためのデータとして読出され、その読出されたデータの所に、演算器124で演算された一次元目のDCT演算結果を一次元アキュムレータ125と一次元出力レジスタ127が書込まれる。よって、転置用RAM140が空になることはなく、効率よく使用される。そのため、余分な制御が必要なくなる。

【0024】以上のように、本実施形態では、入力データDinを演算器140に転送する一次元入力レジスタ121及び一次元演算レジスタ122と、演算器140の出力データを転置用RAM140に転送する一次元アキュムレータ125及び一次元出力レジスタ127とを備えている。そして、転置用RAM140から読出されたデータを演算器124に転送する二次元入力レジスタ130及び二次元演算入力レジスタ131と、演算器140の出力データを外部に出力するための二次元アキュムレータ126及び二次元出力レジスタ128とを備えている。さらに、本実施形態では、一次元演算レジスタ122の出力データまたは二次元演算レジスタの出力データを選択して演算器124に与える選択器123と、一次元アキュムレータ125の出力データまたは二次元アキュムレータ126の出力データを選択して、演算器124の入力側に与える選択器129とが、



設けられている。よって、第1、第2の実施形態と同様に、DCT演算器を1個にすることができると共に、さらに、使用するRAMの個数を1つにすることができる。そのため、二次元DCT回路の構成面積を小さくできると共に、消費電力を少なくできる。また、一次元目の累積演算と二次元目の累積演算をサイクルごとに交互に実施することができ、複雑な制御を用いずとも、転置用RAM140を有効に使用できる共に、入力データDinを待たせないようにすることができる。なお、本発明は、上記実施形態に限定されず種々の変形が可能である。例えば第1～第3の実施形態では選択手段を選択器50、80、110、123、129で構成しているが、これらはトライステートバッファを2個配置してそれぞれ構成することも可能である。

#### 【0025】

【発明の効果】以上詳細に説明したように、第1の発明によれば、入力データを格納する入力データメモリと、入力レジスタに保持した複数のデータを用いてDCT演算を行う一次元DCT演算器と、転置用メモリと、入力データメモリの出力データまたは転置用メモリの出力データを選択して入力レジスタに転送する選択手段とを備えているので、二次元DCT回路で、最も大規模であるDCT演算器を1個にすることができる。よって、二次元DCT回路の構成面積を小さくできると共に、消費電力を少なくできる。しかも、その構成面積が小さく低消費電力の二次元DCT回路は、制御も単純があるとともに、設計も容易である。第2の発明によれば、入力レジスタを有した一次元DCT演算器と、第1及び第2の第1の転置用メモリと、第1、第2の選択手段とを備えているので、二次元DCT回路で、最も大規模であるDCT演算器を1個にすることができる。よって、二次元DCT回路の構成面積を小さくできると共に、消費電力を少なくでき、しかも、設計が容易であるという効果が得られる。さらに、第1の発明よりも、パイプラインを乱すことなく、DCT演算器を効率的に動作させることが可能となり、処理が高速になる。

【0026】第3の発明によれば、入力データを保持する一次元入力レジスタ及び一次元演算レジスタと、一次元DCT演算を行うために累積演算を行う演算器と、累積演算結果を記憶する一次元アキュムレータ及び二次元アキュムレータと、第1の選択手段と、一次元出力レジスタ及び二次元出力レジスタと、転置用メモリと、転置用メモリからのデータを保持する二次元入力レジスタ及び二次元演算レジスタと、第2の選択手段とを備えているので、DCT演算器を1個にすることができると共に、さらに、使用するメモリの個数を1つにすることができる。そのため、二次元DCT回路の構成面積を小さ

くできると共に、消費電力を少なくできる。また、一次元目の累積演算と二次元目の累積演算をサイクルごとに交互に実施することができ、複雑な制御を用いずとも、転置用メモリを有効に使用できる共に、入力データを待たせないようにすることができる。

#### 【図面の簡単な説明】

【図1】図1は、本発明の第1の実施形態を示す二次元DCT回路の回路図である。

【図2】従来の二次元DCT回路を示す回路図である。

【図3】図2中の一次元DCT演算器を示す回路図である。

【図4】図1中の一次元DCT演算器を示す回路図である。

【図5】図1のパイプライン動作を説明する図である。

【図6】本発明の第2の実施形態を示す二次元DCT回路の回路図である。

【図7】図6の二次元DCT回路におけるパイプライン処理を説明する図である。

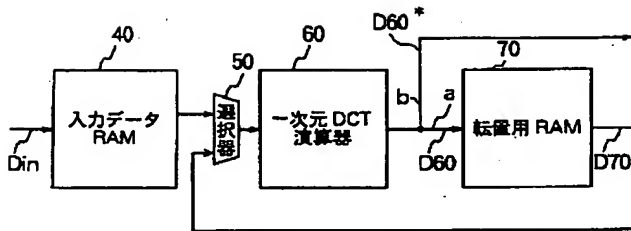
【図8】本発明の第3の実施形態を示す二次元DCT回路の回路図である。

【図9】図8の二次元DCT回路の動作を説明する図である。

#### 【符号の説明】

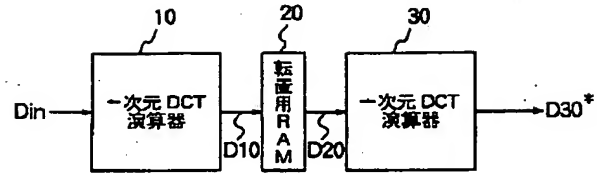
40	入力データ
RAM	
50、80、110、123、129	選択器
60、90、120	一次元DCT演算器
70、100-1、100-2、140	転置用RAM
121	一次元入力レジスタ
122	一次元演算レジスタ
124	演算器
125	一次元アキ
ユームレータ	
126	二次元アキ
ユームレータ	
127	一次元出力レジスタ
128	二次元出力レジスタ
130	二次元入力レジスタ
131	二次元演算レジスタ

【図1】



本発明の第1の実施形態の二次元 DCT 回路

【図2】



従来の二次元 DCT 回路

【図3】

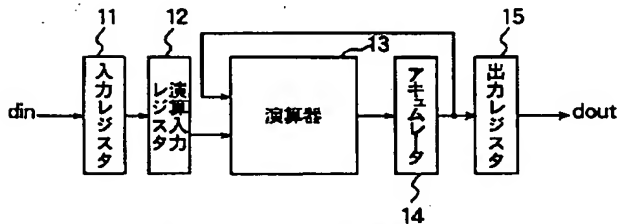


図2中の一次元 DCT 演算器

【図4】

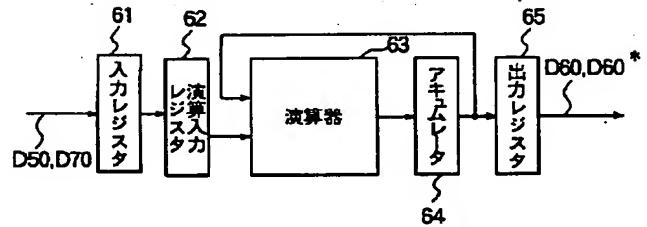


図1中の一次元 DCT 演算器

【図5】

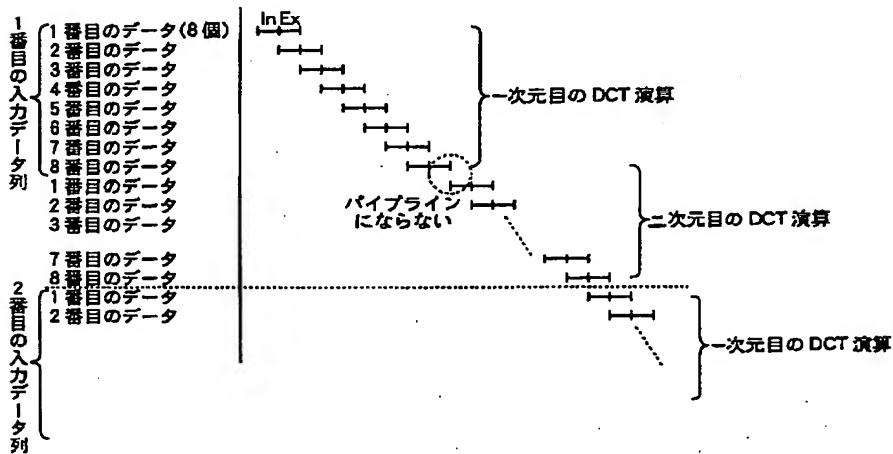
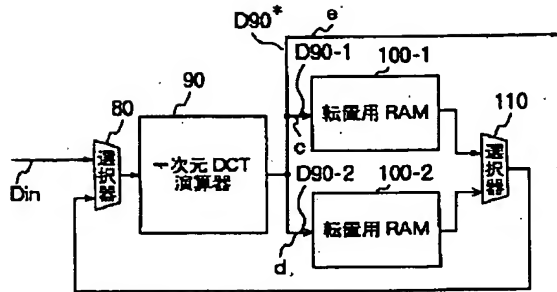


図1のパイプライン動作

【図6】



本発明の第2の実施形態の二次元 DCT 回路

【図7】

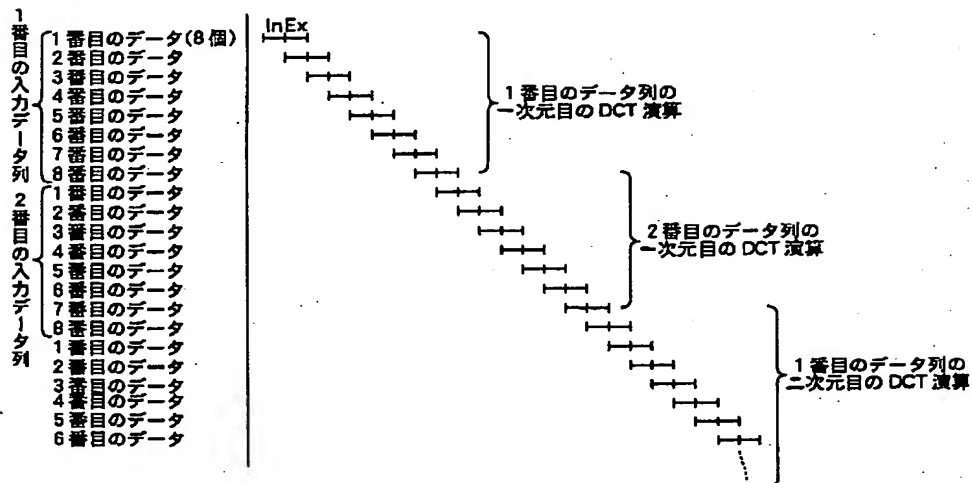
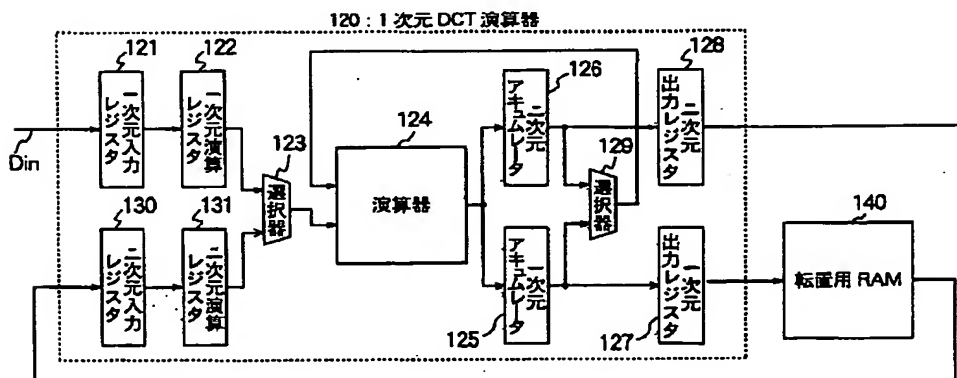


図6のパイプライン処理

【図8】



本発明の第3の実施形態の二次元 DCT 回路

【図9】

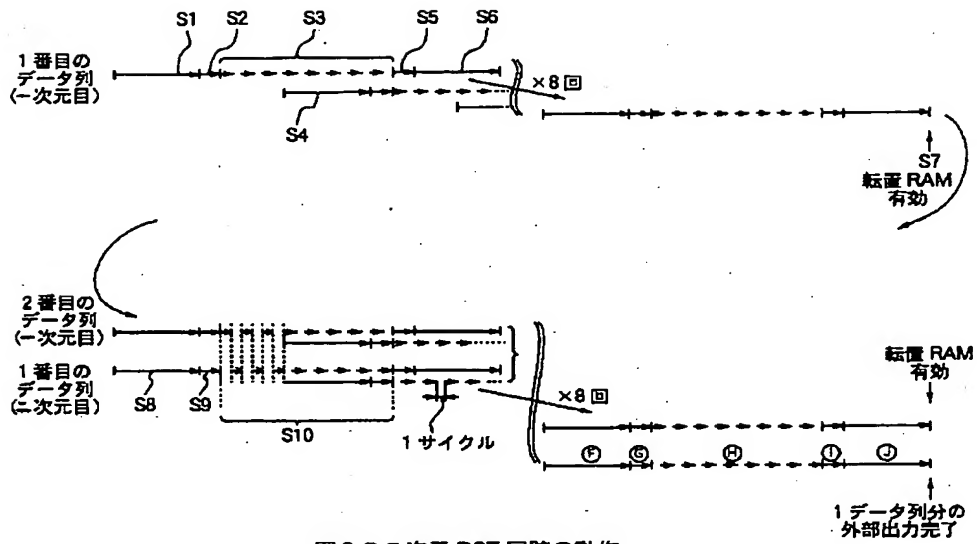


図8の二次元 DCT 回路の動作